



PAMIĘCI PÓŁPRZEWODNIKOWE

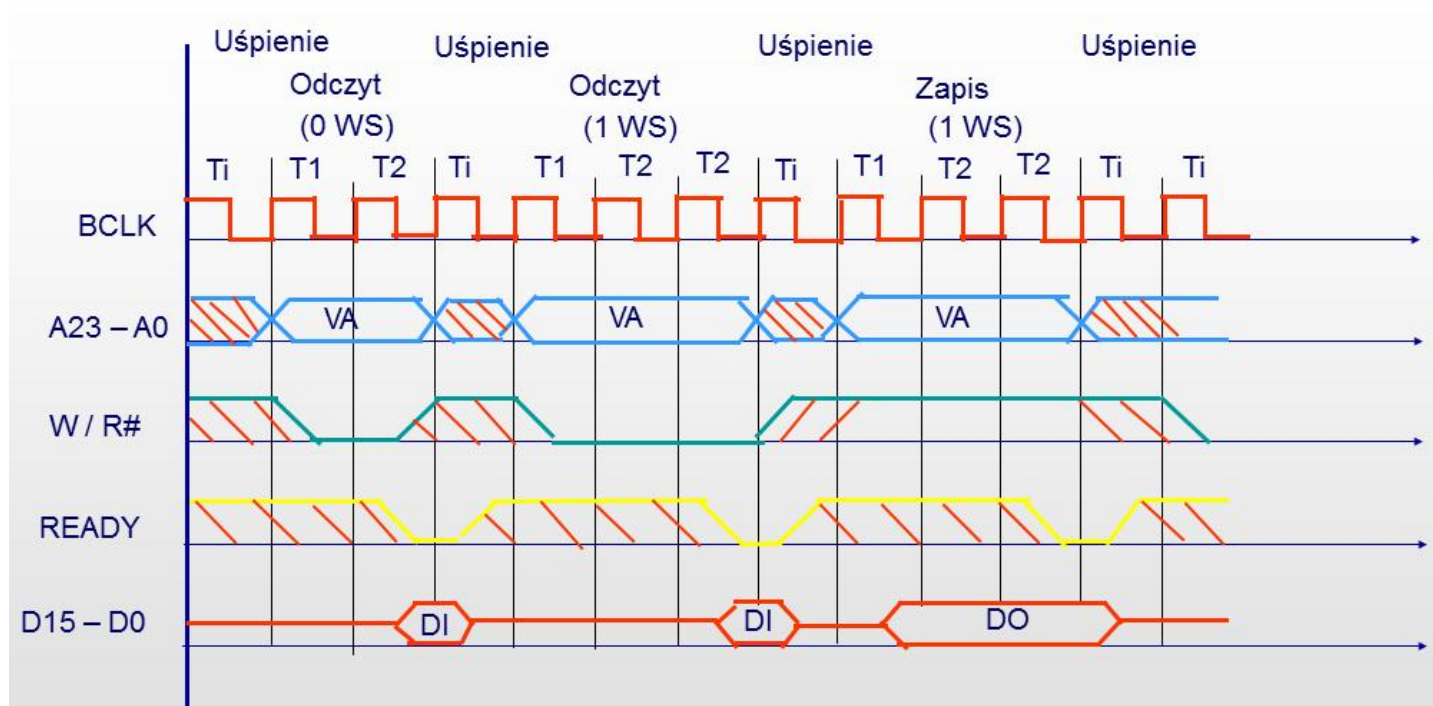
Tryby dostępu do pamięci

Opracował: Andrzej Nowak

Bibliografia: **Urządzenia techniki komputerowej**, K. Wojtuszkiewicz
Anatomia PC. Wydanie IX, P. Mettger
<http://pl.wikipedia.org/>

Cykl magistrali – stan oczekiwania

Praca magistrali taktowana jest zegarem o określonej częstotliwości, będącej zwykle podwielokrotnością częstotliwości zegara taktującego procesor. Wartość tej częstotliwości zależy również od rodzaju magistrali (ISA, PSI).



Oznaczenia stosowane na wykresie:

BCLK – (ang. Bus Clock)

VA – ważny adres

WS -stan oczekiwania – (ang. wait state)

DI – dane odczytywane

Ts (ang. send status) lub T1

DO – dane zapisywane

Tc (ang. perform command) lub T2 stan uśpienia -

Ti (ang. idle state)

Dla magistrali ISA pojedynczy cykl magistrali realizowany jest w ciągu dwóch taktów zegara magistrali (BCLK) oznaczany przez T_s (ang. send status) lub T1 oraz T_c (ang. perform command) lub T2.

Dla większych częstotliwości tego zegara lub wolniejszych pamięci konieczne jest opóźnienie wykonania operacji na pamięci np.:

W przypadku operacji odczytu musimy poczekać, aż na magistrali danych ustalą się prawidłowe wartości bitów odczytywanego słowa. Opóźnienie to jest realizowane przez wstawienie dodatkowych taktów zegara magistrali zwanych – stanami oczekiwania (ang. wait states)

Odświeżanie pamięci DRAM

Odświeżanie komórek pamięci DRAM polega na cyklicznym doładowywaniu pojemności pamiętających przechowujących wartość 1.

Częstotliwość odświeżania zapewniająca poprawną pracę pamięci DRAM podawana jest przez producenta jako parametr katalogowy, którego należy przestrzegać. Odświeżanie pamięci realizowane jest przez układy logiczne odświeżania będące elementem systemu - płyty głównej.

Sposoby odświeżania pamięci dynamicznych RAM

- **sygnałem RAS** (ang. **RAS only**) – praktycznie już nie stosowany
- **CAS przed RAS** (ang. **CAS – before - RAS**) – wymaga obecności w układach pamięci wewnętrznego licznika odświeżania. Sterownik DRAM wytwarza aktywny sygnał CAS, a następnie RAS. W odpowiedzi na taką sekwencję układy pamięci DRAM odświeżają wiersz wskazany przez ich wewnętrzny licznik odświeżania.
- **odświeżanie ukryte** (ang. **hidden refresh**) – wymaga obecności w układach pamięci wewnętrznego licznika odświeżania. Po wytworzeniu aktywnych poziomów sygnałów RAS i CAS i odczycie komórki sygnał RAS zmienia kolejno stan na nieaktywny i aktywny przy stale aktywnym sygnale CAS . Powoduje to pozostawienie zawartości odczytywanej komórki na wyjściach danych przy jednoczesnym (równoległym) odświeżaniu wiersza zaadresowanego przez wewnętrzny licznik odświeżania pamięci.
- **samoodświeżanie** (ang. **self-refresh**) – układy logiczne odświeżania są zawarte wewnątrz układów pamięci.