

Mikroprocesor

Operacje wejścia / wyjścia

Opracował: Andrzej Nowak

Bibliografia: **Urządzenia techniki komputerowej**, K. Wojtuszkiewicz

Definicja

Operacjami wejścia/wyjścia nazywamy całokształt działań potrzebnych do realizacji wymiany informacji pomiędzy mikroprocesorem i pamięcią z jednej strony a układem wejścia/wyjścia z drugiej.

Z bezpośrednim sterowaniem przez mikroprocesor

Bezwarunkową operacją wejścia/wyjścia nazywamy taką operację, przy której mikroprocesor nie sprawdza gotowości układu wejścia/wyjścia do tej wymiany.

Z testowaniem stanu układu wejścia/wyjścia

Przy realizacji operacji wejścia/wyjścia z **testowaniem stanu układu wejścia/wyjścia**, mikroprocesor sprawdza sygnał (np.. może to być określony bit) gotowości układu wejścia/wyjścia do tej wymiany. W przypadku potwierdzenia gotowości do wymiany przez układ jest ona realizowana.

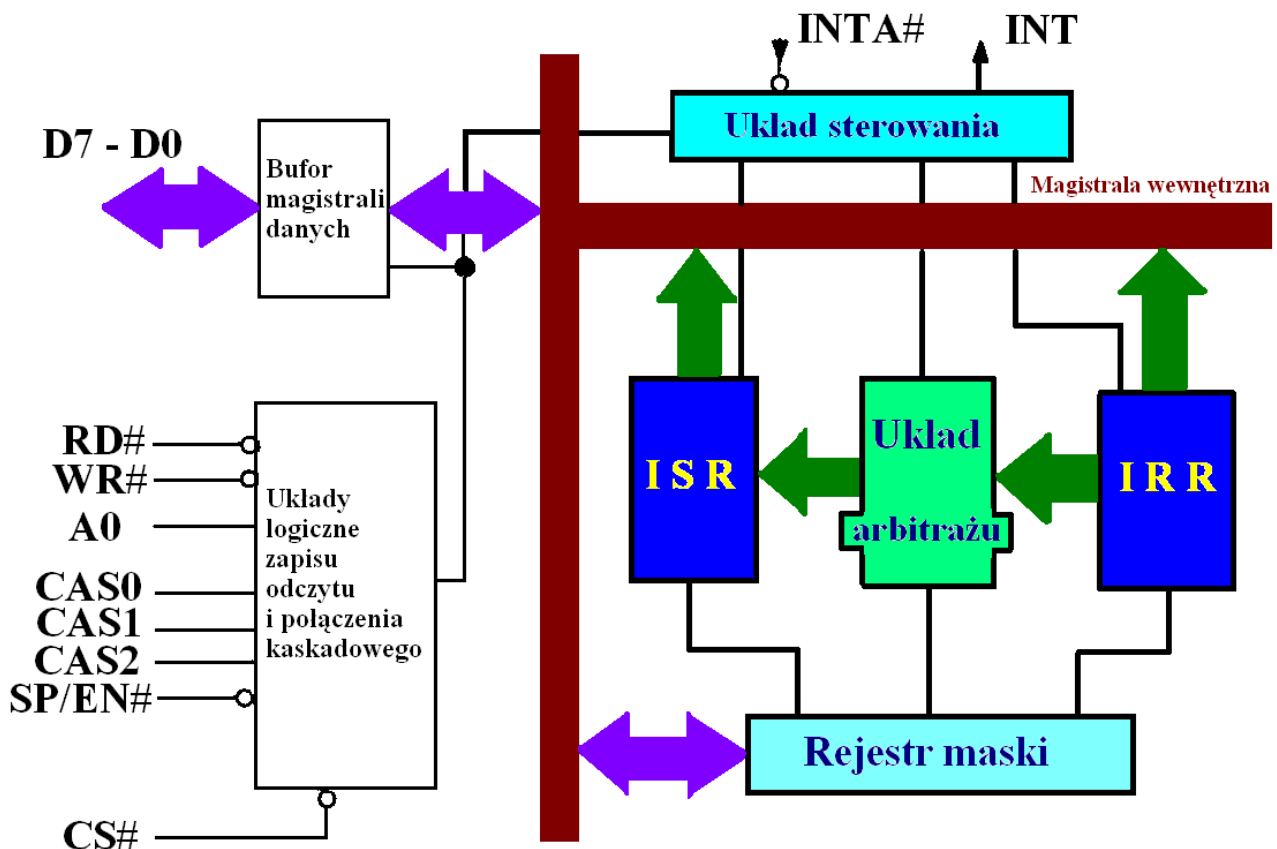
Z przerwaniem programu

Realizowane są przez

1. Sterownik przerw

Zadania sterownika przerw

- ❑ pośredniczenie w przyjmowaniu zgłoszeń przerw pomiędzy mikroprocesorem a innymi układami wejścia / wyjścia
- ❑ przyjmowanie zgłoszeń przerw od wielu układów wejścia / wyjścia
- ❑ wybór spośród kilku jednocześnie zgłoszonych przerw tego, które zostanie obsłużone
- ❑ zasygnalizowanie dokonanego wyboru przez podanie numeru (adresu) układu wejścia / wyjścia, z którym zostanie wykonana wymiana, a dokładniej, adresu programu obsługi przerwy realizującej tę wymianę
- ❑ po przyjęciu sygnałów zgłoszeń przerw od układów wejścia / wyjścia i wyborze układu, który będzie obsłużony, wygenerowanie sygnału zgłoszenia przerwy bezpośrednio do mikroprocesora



Schemat blokowy sterownika przerw

W celu umożliwienia przyjmowania kilku przerw jednocześnie sterownik przerw dysponuje określoną ilością wejść sygnałów zgłoszeń przerw od układów wejścia / wyjścia.

Sygnały te trafiają do rejestru zgłoszeń przerw **IRR** (ang. Interrupt Request Register).

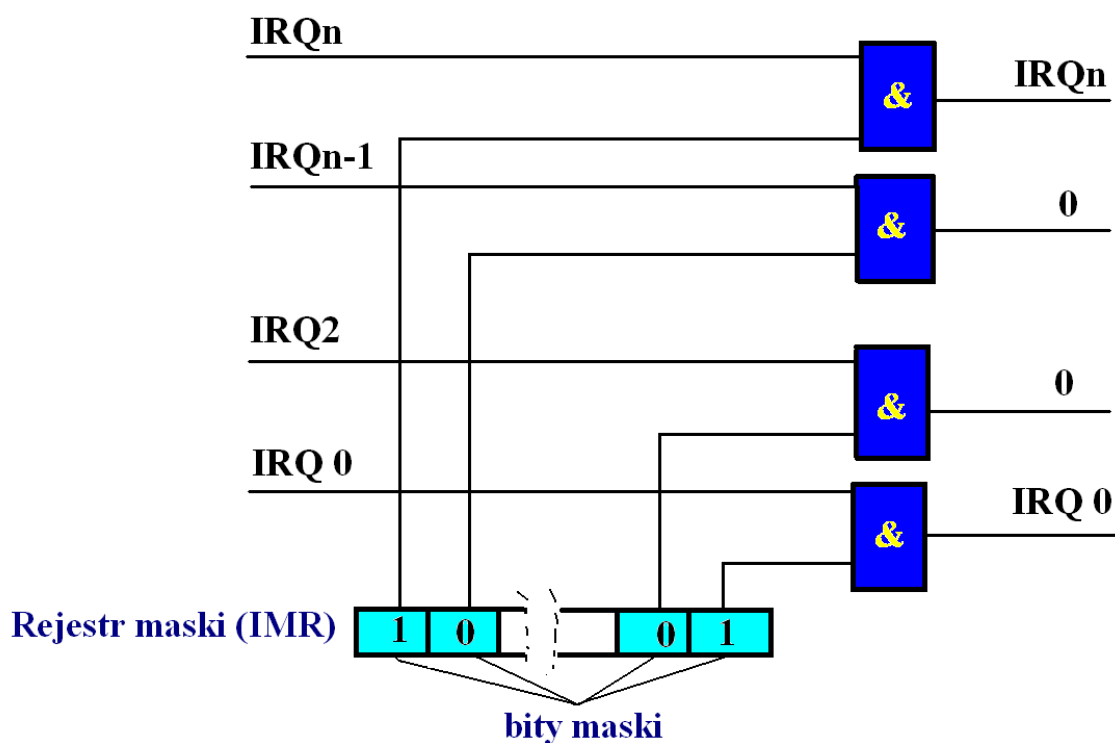
Zgłoszone przerwania mogą być maskowane, co oznacza, że mimo ich zgłoszenia nie będą przyjmowane.

Operacja maskowania jest prosta i polega na podaniu sygnałów zgłoszeń przerwań na dwuwejściowe bramki **AND**. Na drugie wejście każdej z bramek podawany jest tak zwany **bit maski**.

Jeżeli wartość tego bitu wynosi **1**, przerwanie jest przyjmowane, w przypadku wartości **0** następuje zablokowanie przyjmowania przerwania.

Bity maski umieszczane są w rejestrze maski **IMR** (ang. Interrupt Mask Register – patrz schemat blokowy sterownika przerwań).

Następnie przyjmowane przerwania poddawane są arbitrażowi.



Operacja maskowania sygnałów przerwań

Arbitraż

Polega na wyborze spośród kilku zgłoszonych jednocześnie przerwań jednego, które zostanie w danym momencie obsłużone. Wymaga to ustalenia kryterium, według którego zostanie dokonany wybór.

Priorytet

Kryterium określające pewien stopień ważności, który przydzielamy każdemu sygnałowi zgłoszenia przerwania.

Z wszystkich zgłoszonych i niezamaskowanych przerwań wybierane jest to, które posiada najwyższy priorytet. Priorytety przyporządkowywane są poszczególnym wejściom sterownika przerwań. W zależności od jego wersji mogą one być przyporządkowywane w sposób sztywny (na stałe, jak w komputerach typu IBM PC) lub mogą być programowane.

Programy obsługi przerwań

Podobnie jak inne programy umieszczone są w pamięci operacyjnej i zaczynają się od określonego adresu. Wybór obsługi określonego przerwania polega na **podaniu adresu pamięci**, pod którym znajduje się początek programu obsługującego dane przerwanie.

W komputerach typu **IBM PC** sterownik przerwań nie podaje bezpośrednio tego adresu, lecz numer pozycji w specjalnej tablicy umieszczonej w pamięci, zwanej **tablicą wektorów przerwań**.

Dopiero elementy tej tablicy zawierają właściwe adresy początków programów obsługi przerwań.

2. Tablica wektorów przerwań

Jest to strukturą umieszczoną w pamięci operacyjnej komputera.

W komputerach typu IBM PC zaczyna się ona od adresu 0 i kończy na adresie 3FFh.

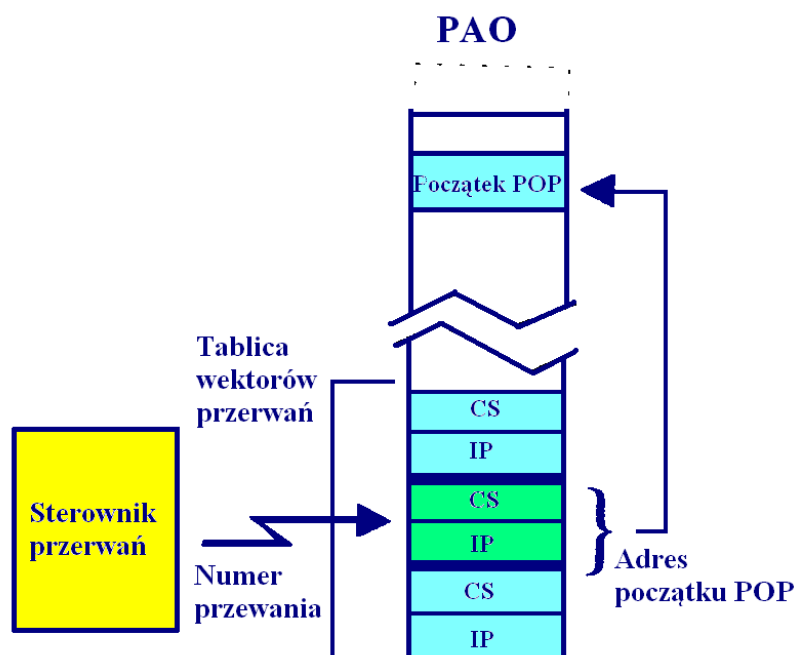
Każda pozycja tej tablicy związana jest z dokładnie jednym przerwaniem i zawiera adres komórki pamięci, w której znajduje się początek (kod pierwszej instrukcji) programu obsługującego przerwanie.

Po dokonaniu arbitrażu sterownik przerwań podaje na swoim wyjściu dany numer przerwania, które ma być obsłużone.

Mikroprocesor pobiera ten numer i następnie przy jego pomocy odczytuje adres początku programu obsługi przerwania, który ma zostać wykonany.

Adres ten, po zapamiętaniu informacji niezbędnych do powrotu do przerwanej programu głównego, jest ładowany do określonych rejestrów procesora, w tym licznika rozkazów.

Powoduje to wykonanie skoku do programu obsługi przerwania umieszczonego pod adresem odczytanym z tablicy wektorów przerwań.



Generowanie adresu POP przy użyciu tablicy wektorów przerwań

3. Metody zapamiętywania stanu mikroprocesora przy przejściu do obsługi przerwania

Jednym z założeń przy obsłudze układów wejścia / wyjścia za pomocą przerw jest kontynuowanie, po zakończeniu programu obsługi przerwania, programu głównego. Wymaga to przy przejściu do realizacji programu obsługi przerwania zapamiętania wszelkich informacji o programie głównym, potrzebnych do jego kontynuowania (od miejsca, w którym został on przerwany).

Zwykle tylko część potrzebnej informacji zapamiętywana jest automatycznie. W przypadku procesorów Intel automatycznie zachowywana jest jedynie zawartość rejestru flagowego i adresu komórki zawierającej kod instrukcji, od której należy kontynuować program główny (jest to zawartość dwóch rejestrów: *rejestru segmentu kodu i wskaźnika instrukcji*).

Informacje te są odkładane na stos.

Pozostałe informacje muszą zostać zachowane w wyniku wykonania określonych instrukcji programu obsługi przerwania.

Z pośrednim sterowaniem przez mikroprocesor (DMA)

W dotychczas opisanych operacjach wejścia / wyjścia ich realizacja przebiegała od początku do końca pod nadzorem mikroprocesora.

Oznacza to, że wszystkie informacje, takie jak sygnały sterujące czy adresy są generowane przez mikroprocesor oraz że w wymianę informacji zaangażowane są pewne jego rejestry.

Powoduje to, że w trakcie tej wymiany, a dokładniej w trakcie wykonywania programu realizującego daną operację wejścia / wyjścia, mikroprocesor nie może wykonywać żadnych innych czynności.

Ten rodzaj operacji nazywany jest **trybem PIO**.

Definicja

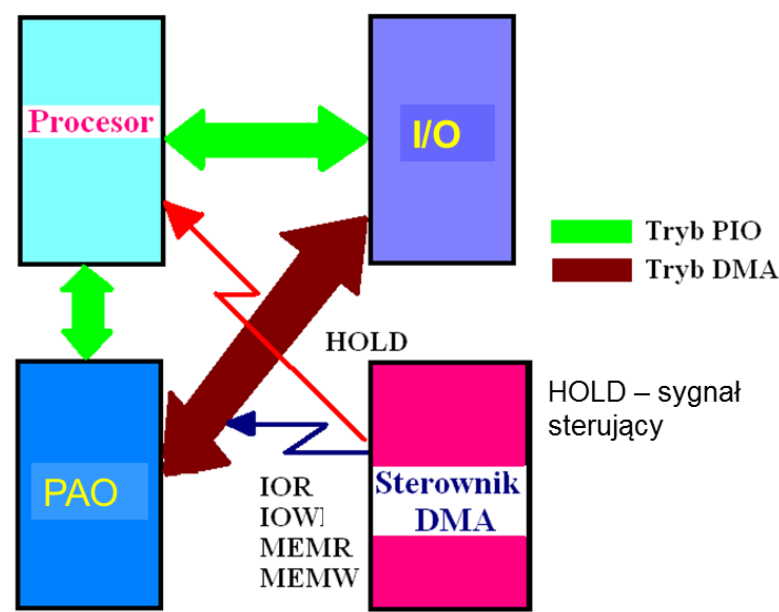
Bezpośrednim dostępem do pamięci nazywamy operację wejścia / wyjścia inicjowaną jedynie przez mikroprocesor, który przekazuje sterowanie jej realizacją specjalnemu układowi zwanemu **sterownikiem DMA**.

DMA (ang. Direct Memory Access) /bezpośredni dostęp do pamięci/.

Przy operacji DMA, transmisja informacji przebiega pomiędzy układem wejścia / wyjścia a wydzielonym obszarem buforowym w pamięci.

Przebieg operacji nadzoruje sterownik DMA, co oznacza, że generuje on wszystkie sygnały sterujące i adresy potrzebne do realizacji wymiany.

W tym celu sterownik DMA przejmuje na czas wymiany informacji kontrolę nad magistralami, stając się **zarządcą magistral** (ang. bus master).



Koncepcja operacji DMA

Etapy realizacji operacji DMA

1. Inicjacja operacji DMA

Inicjacja operacji DMA polega na przekazaniu do sterownika DMA (w wyniku wykonania określonych instrukcji) następujących informacji:

- ❑ wielkość bloku do przetransmitowania (ilość bajtów lub słów)
- ❑ adres pierwszej komórki bufora w pamięci
- ❑ rodzaj operacji (zapis lub odczyt)
- ❑ sposób realizacji operacji DMA
- ❑ adres urządzenia wejścia / wyjścia

2. Realizacja operacji DMA

W każdym przypadku przesyłany jest blok informacji o wielkości określonej jako jeden z parametrów operacji. Sposób realizacji jest jednak różny.

Operację DMA możemy realizować w jednym z trzech trybów:

- ❑ **transmisja pojedynczymi słowami**
 - - sterownik DMA po sygnale gotowości od układu wejścia / wyjścia przejmuje sterowanie magistralami na czas jednego cyklu, realizuje operację wymiany, po czym oddaje kontrolę nad magistralami mikroprocesorowi, oczekując na kolejny sygnał gotowości od układu wejścia / wyjścia. Postępowanie takie jest kontynuowane aż do momentu przesłania całego bloku.
- ❑ **transmisja blokowa**
 - - jest realizowana w sposób ciągły aż do momentu przesłania całego bloku. Podczas jej realizacji mikroprocesor pozostaje cały czas w stanie zawieszenia, a kontrolę nad magistralami sprawuje sterownik DMA
- ❑ **transmisja na żądanie**
 - - przesyłanie kolejnych słów trwa w sposób nieprzerwany dopóty, dopóki jest aktywny sygnał **DRQn** z obsługiwanego układu wejścia / wyjścia. W przypadku, gdy przechodzi on w stan nieaktywny, transmisja jest zawieszana.

3. Zakończenie operacji

Zakończenie operacji DMA sygnalizowane jest przez sterownik DMA aktywnym poziomem sygnału **EOP** (ang. End Of Proces).

Sygnał ten jest przekazywany do obsługiwanego urządzenia, dzięki czemu urządzenie zgłasza przerwanie do procesora.

Przerwanie to oznacza możliwość wykorzystania danych przez mikroprocesor w przypadku transmisji DMA do pamięci i przesłanie wszystkich danych z pamięci do urządzenia zewnętrznego w przypadku transmisji DMA do urządzenia.